

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82923

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115			H 0 1 L 27/10	4 3 4
G 1 1 C 16/06			G 1 1 C 17/00	3 0 9 K
H 0 1 L 21/8247			H 0 1 L 29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号 特願平7-234515

(22) 出願日 平成7年(1995)9月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 寛

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

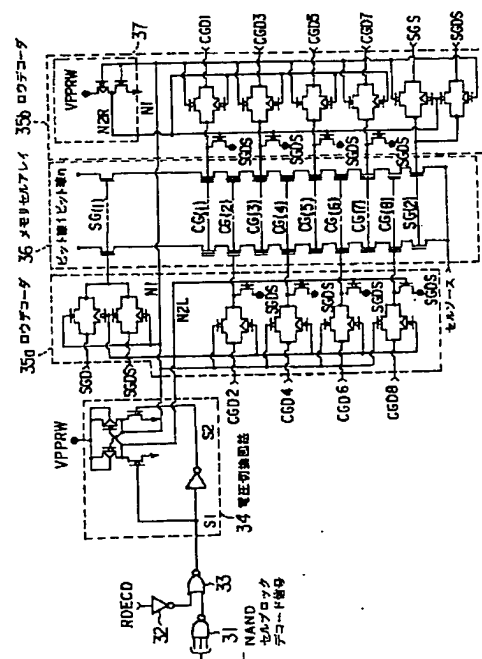
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】チップ面積を増大させることなく、従来よりも動作の高速化を可能にするため、左右のロウデコーダに接続されメモリセルアレイを横断する配線をセルフブロック1個当たり1本にすることを特徴とする。

【解決手段】メモリセルが複数個接続されて、複数のワード線を含むメモリセルブロックがアレイ状に配列されたメモリセルアレイ36を挟んで、両側にロウデコーダ35a及び35bが配置される。そして、各メモリセルブロック毎に設けられて、上記ロウデコーダ35aと35bの間に、上記ワード線と異なる配線層の横断配線N1が設けられる。また、ロウデコーダ35bには、横断配線N1の信号を反転状態に設定する第2相補信号発生部37が設けられている。



【特許請求の範囲】

【請求項1】 少なくとも1つのメモリセルが複数個接続されて、複数のワード線を含むメモリセルブロックがアレイ状に配列されたメモリセルアレイと、このメモリセルアレイのビット線を選択する列選択手段と、

上記メモリセルアレイを挟んで、該メモリセルの第1の側及びこの第1の側と反対側の第2の側に配置され、上記メモリセルブロックを1つの単位として選択する第1及び第2の行選択手段と、

各メモリセルブロック毎に設けられ、上記メモリセルアレイの第1の側に配置された第1の行選択手段と上記メモリセルアレイの第2の側に配置された第2の行選択手段との間に接続される第1の配線と、

上記メモリセルアレイの第1の側に設けられて、対応するメモリセルブロックが選択状態にあるか否かにより上記第1の配線を異なる第1の電位に設定する第1の電位設定手段と、

上記メモリセルアレイの第2の側に設けられて、上記第1の配線の信号の反転状態に対応する第2の電位に設定する第2の電位設定手段と、

この第2の電位を上記第2の行選択手段に供給する第2の配線とを具備し、

上記第1の配線と上記ワード線は、それぞれ異なる配線層に配設された配線材により構成されることを特徴とする不揮発性半導体記憶装置。

【請求項2】 上記第1の配線の配線材の抵抗率は上記ワード線の配線材の抵抗率より低いことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 上記第1及び第2の行選択手段に電源電圧より高い第1の電圧が入力される第1の動作期間に、上記メモリセルブロックに於いて上記第1の配線及び上記第2の配線の何れかが上記第1の電圧に設定されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 上記メモリセルは、半導体基板上に積層形成された電荷蓄積層と、制御ゲートとを有して、上記電荷蓄積層と上記半導体基板の間の電荷の授受により電氣的書替えが行われることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項5】 上記メモリセルは、上記第1の動作期間にデータ書替え動作を行うことを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 上記メモリセルブロックは、上記メモリセルを複数個直列接続して構成されるNANDセルであることを特徴とする請求項1乃至5に記載の不揮発性半導体記憶装置。

【請求項7】 上記メモリセルブロックは、上記メモリセルを複数個並列接続して構成されるANDセルであることを特徴とする請求項1乃至5に記載の不揮発性半導

体記憶装置。

【請求項8】 上記メモリセルブロックは、上記メモリセルを複数個並列接続して構成されるDINORセルであることを特徴とする請求項1乃至5に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性半導体記憶装置に係り、例えば複数のメモリセルを直列若しくは並列に接続してNANDセル、ANDセル、DINORセル等のメモリセルユニットを構成した不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 従来、半導体記憶装置の1つとして、電氣的に書替えを可能としたEEPROMが知られている。なかでも、メモリセルを複数個直列接続してNANDセルブロックを構成するNANDセル型EEPROMは、ビット線コンタクトの数を低減できるため、高集積化ができるものとして注目されている。

【0003】 図21は、こうしたNANDセル型EEPROMの従来のロウデコーダの回路構成及びメモリセルアレイの等価回路図である。

【0004】 図21に於いて、NANDセルブロックデコード信号及びロウデコーダ起動信号RDEC Dが、ナンド回路1及びノット回路2からノア回路3を介して入力され、電圧切換回路4で電圧が切換えられる。電圧切換回路4からは、ノードN1、N2を経てロウデコーダ5a及び5bに、そして複数のメモリセルから構成されるメモリセルアレイ6に上記信号が供給されるようになって

【0005】 こうしたNANDセル型EEPROMに於ける1つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたFETMOS構造を有している。また、複数のメモリセルが隣接するもの同士でソース・ドレインを共用する形で直列接続されてNANDセルを構成し、これを1単位として上記NANDセルの一端部が選択ゲートトランジスタを介してビット線に接続されるものである。このようなNANDセルが、マトリックス配列されてメモリセルアレイが構成される。尚、メモリセルアレイ6は、p型基板、またはp型ウェル内に集積形成される。

【0006】 また、NANDセルの他端側ソースは、やはり選択ゲートトランジスタを介して共通ソース線に接続されている。また、メモリトランジスタの制御ゲート及び選択ゲートトランジスタのゲート電極は、メモリセルアレイ6の行方向にそれぞれ制御ゲート線（ワード線）、選択ゲート線として共通接続されている。

【0007】 次に、このNANDセル型EEPROMの動作について、図22乃至図24を参照して説明する。

【0008】 図22、図23及び図24は、それぞれ図

21に示されるロウデコーダ5a、5bを用いた場合のデータ読出し、書き込み、消去の各動作のタイミング図である。

【0009】データ書き込みの動作は、ビット線コンタクトから最も離れた位置のメモリセルから順に行われる。選択されたメモリセルの制御ゲートには、高電圧 V_{pp} （=20V程度）が印加され、それよりビット線コンタクト側にあるメモリセルの制御ゲート及び選択ゲートには中間電位 V_M （=10V程度）が印加され、ビット線にはデータに応じて0Vまたは中間電位 V_M が与えられる。

【0010】上記ビット線に0Vが与えられたとき、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これにより、その選択されたメモリセルの閾値は、負に設定されていたものが正方向にシフトされる。この状態を、例えば“1”とする。一方、ビット線に中間電位が与えられたときは、電子注入が起こらず、従ってメモリセルの閾値は変化せず、負に止まる。この状態は“0”である。

【0011】データ消去は、選択されたNANDセルブロック内の全てのメモリセルに対して同時に行われる。すなわち、選択されたNANDセルブロック内の全ての制御ゲートが0Vとされ、ビット線、ソース線、p型ウェル（若しくはp型基板）、非選択NANDセルブロック中の制御ゲート及び全ての選択ゲートに、高電圧20V程度の電圧が印加される。これにより、選択NANDセルブロック中の全てのメモリセルで、浮遊ゲートの電子がp型ウェル（若しくはp型基板）に放出され、閾値電圧は正方向にシフトされていたメモリセルを含めて、全てのメモリセルが負方向に設定される。

【0012】また、データ読出し動作は、選択されたメモリセルの制御ゲートが0Vとされ、それ以外のメモリセルの制御ゲート及び選択ゲートが電源電圧 V_{cc} 若しくは電源電圧より高い電圧 V_H として、選択メモリセルで電流が流れるか否かが検出されることにより行われる。

【0013】図25は、図21に示されたロウデコーダ5a、5bを用いた場合のNANDセルブロック～ロウデコーダ～メモリセルアレイの横断配線の配列、及びメモリセルアレイ横断配線の読出し動作時の電位状態を示したものである。また、図26は、図21に示されたロウデコーダ5a、5bを用いた場合のNANDセルブロック、ロウデコーダ、メモリセルアレイ横断配線の配列、及びメモリセルアレイ横断配線の書き込み、消去動作時の電位状態を示したものである。

【0014】図21及び図25、図26からわかるように、従来はメモリセルアレイ6の左右両側にロウデコーダ5a、5bが配置され、メモリセルアレイ6の左右にあるロウデコーダ5a、5b間に、2本のメモリセルアレイ横断配線（ノード）N1、N2が配設されていた。これらの2本の横断配線N1、N2は、各NANDセル

ブロック内で、一方が0V、他方が“H（ハイ）”レベル電位にある。NANDセルブロックは、通常数百個～数千個存在するため、“H”レベル電位にある配線数も数百個～数千個あり、従って“H”レベル電位の負荷容量は大きくなる。

【0015】更に、チップ内部で発生される高電圧（ V_{cc} より高い電圧）が上記メモリセルアレイ6の横断配線N1、N2に充電される場合、高電圧の供給能力が小さいため、高電圧の充電所要時間が長くなる。したがって、上記高電圧充電を行う動作の動作速度が遅くなる、という課題を有していた。また、高電圧充電時間を短縮するために高電圧の供給能力を増加させると、高電圧発生回路のパターン面積が増大し、そのためにチップサイズが大きくなるという課題があった。

【0016】このような課題は、NAND型以外のEEPROM等に於いても、同様に生じ得るものである。

【0017】

【発明が解決しようとする課題】このように、従来のNANDセル型等のEEPROM等に於いては、メモリセルアレイの横断配線が、NANDセルブロック1個当たり2本存在し、この横断配線2本のうちの1本が“H”レベル電位に充電されるため、“H”レベル電位が V_{cc} より高いチップ内部昇圧電圧である場合にはこの昇圧電圧の充電所要時間が長時間化し、動作速度の低下を招く、という課題を有していた。

【0018】また、昇圧電圧の充電所要時間を短縮するために、昇圧電圧の供給能力を増加させようとすると、チップ面積が増大するという課題を有していた。

【0019】本発明は上記実情を考慮してなされたものであり、その目的とするところは、チップ面積を増大させることなく、従来よりも動作の高速化が可能な不揮発性半導体記憶装置を提供することにある。

【0020】

【課題を解決するための手段】すなわち本発明は、少なくとも1つのメモリセルが複数個接続されて、複数のワード線を含むメモリセルブロックがアレイ状に配列されたメモリセルアレイと、このメモリセルアレイのビット線を選択する列選択手段と、上記メモリセルアレイを挟んで、該メモリセルの第1の側及びこの第1の側と反対側の第2の側に配置され、上記メモリセルブロックを1つの単位として選択する第1及び第2の行選択手段と、各メモリセルブロック毎に設けられ、上記メモリセルアレイの第1の側に配置された第1の行選択手段と上記メモリセルアレイの第2の側に配置された第2の行選択手段との間に接続される第1の配線と、上記メモリセルアレイの第1の側に設けられて、対応するメモリセルブロックが選択状態にあるか否かにより上記第1の配線を異なる第1の電位に設定する第1の電位設定手段と、上記メモリセルアレイの第2の側に設けられて、上記第1の配線の信号の反転状態に対応する第2の電位に設定する

第2の電位設定手段と、この第2の電位を上記第2の行選択手段に供給する第2の配線とを具備し、上記第1の配線と上記ワード線は、それぞれ異なる配線層に配設された配線材により構成されることを特徴とする。

【0021】本発明に於いては、NANDセルブロック1個当たりメモリセルアレイ横断配線数を1本とすることができるため、昇圧電圧を充電する配線数を減少させることができ、従ってチップサイズをほとんど増加させることなく、昇圧電圧の充電所要時間を短縮させることができ、動作速度の向上を実現することができる。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【0023】図2は、本発明の一実施形態のNANDセル型EEPROMシステム構成を示すブロック図である。

【0024】図2に於いて、メモリセルアレイ11に対し、データ書込み、再書込み、書込みベリファイ読出し及び消去ベリファイ読出しを行うために、ビット線制御回路12が設けられている。このビット線制御回路12は、データ入出力バッファ13に結合されると共に、アドレスバッファ14からのアドレス信号を受けるカラムデコーダ15の出力を入力として受ける。

【0025】また、メモリセルアレイ11には、制御ゲート及び選択ゲートを制御するためにロウデコーダ16が結合されると共に、メモリセルアレイ11が形成されるp基板（またはp型ウェル）の電位を制御するための基板電位制御回路17が結合されている。

【0026】高電圧発生回路18は、読出し、書込み、消去動作時にメモリセル11へのデータの読出し、書込み、消去を行うために、メモリセルに印加する読出し、書込み、消去用高電圧を発生、供給するためのものである。また、中間電位発生回路19は、書込み動作時にメモリセルやビット線等に印加する中間電位（ $>V_{cc}$ 電位）を発生、供給するものである。

【0027】図3（a）及び（b）はメモリセルアレイ11の1つのNANDセル部分の平面図及びその等価回路図であり、図4（a）及び（b）はそれぞれ図3（a）のI-I'線及びII-II'線に沿った断面図である。

【0028】素子分離酸化膜22で囲まれたp型シリコン基板（またはp型ウェル）21に、複数のNANDセルから成るメモリセルアレイが形成されている。1つのNANDセルに着目して説明すると、この実施の形態に於いては、8個のメモリセル $M_1 \sim M_8$ が直列接続されて1つのNANDセルを構成している。

【0029】メモリセル $M_1 \sim M_8$ は、それぞれ基板21にゲート絶縁膜23を介して浮遊ゲート24（24₁、24₂、…、24₈）が形成され、この上に層間絶縁膜25を介して制御ゲート26（26₁、26₂、

…、26₈）が形成されて構成されている。これらのメモリセルのソース・ドレインであるn型拡散層27（27₀、27₁、…、27₈）は、隣接するもの同志共用する形で接続され、これによりメモリセルが直列接続される。

【0030】NANDセルのドレイン側及びソース側には、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート24₁、26₁及び24₈、26₈が、それぞれ設けられている。素子形成された基板21上は、後述する横断配線28を含めてCVD酸化膜29により覆われ、このCVD酸化膜29上にビット線30が配設されている。

【0031】ビット線30は、NANDセルの一端のドレイン側拡散層27にはコンタクトさせている。行方向に配列されたNANDセルの制御ゲート24は、共通に制御ゲート線CG（1）、CG（2）、…、CG（8）として配設されている。これら制御ゲート線は、ワード線となる。選択ゲート24₁、26₁及び24₈、26₈も、それぞれ行方向に連続的に選択ゲート線SG₁、SG₂として配設されている。

【0032】尚、図4に於いては、横断配線28はビット線30より下のCVD酸化膜29中に配置されていたが、制御ゲート26と異なる配線層に配設されるものであれば良い。

【0033】例えば、図5に示されるように、横断配線28'は、ビット線30上のCVD酸化膜29'中に配設されていても良い。

【0034】また、選択ゲート24₁、24₈と基板21との間のゲート絶縁膜23を、メモリセル部のゲート絶縁膜より厚くして、その信頼性を高めるようにしても良い。

【0035】図6は、このようなNANDセルがマトリックス配列されたメモリセルアレイの等価回路を示したものである。

【0036】NANDセル型EEPROMでは、図6に破線で示されたNANDセルブロックを1つの単位として選択、非選択が行われている。そして、読出し動作や書込み動作では、選択されたブロック中の8本の制御ゲートCG（1）～CG（8）のうち1本が選択される。

また、消去動作では、ブロック単位での選択、非選択のみ行われ、選択ブロック中の8本の制御ゲートは一括して選択若しくは非選択状態となる。

【0037】尚、以降の実施の形態の説明に於いては、選択ブロック中の8本の制御ゲートのうちCG（3）が選択された場合を例にとっているが、選択制御ゲートとしてCG（3）以外の7本の何れかが選択される場合でも、本発明は同様に実施可能であり、有効である。

【0038】図1は、本発明の一実施形態に於けるロウデコーダの回路構成及びメモリセルアレイの等価回路図である。

7
 【0039】図1に於いて、NANDセルブロックデコード信号及びロウデコード起動信号RDECDが、ナンド回路31及びノット回路32からノア回路33を介して入力され、電圧切換回路34で電圧が切換えられる。電圧切換回路34からは、ノードN1及びノードN2Lを経て第1相補信号発生部を有するロウデコード35aに、そしてノードN1を経てロウデコード35bに上記信号が供給されるようになっている。これらロウデコード35a、35bは、複数のメモリセルから構成されるメモリセルアレイ36の左右両側に素子を有している。10

【0040】上記ロウデコード35a、35bは、メモリセルアレイ36中を横断する1本の横断配線（ノード）N1を含んでいる（図12及び図13も合わせて参照）。このロウデコード35a、35bの回路構成上の特徴は、メモリセルアレイ36を横断する配線数が1本であることである。そして、この配線数1本を実現するために、ロウデコード35b側に第2相補信号発生部37と、ノードN2Rが設けられている。

【0041】図1に示されるように、ロウデコード35a、35b中の素子がメモリセルアレイ36の左右両側に配置されているのは、メモリセルアレイ36中の制御ゲート線のピッチが小さく、また制御ゲート線1本当たりのロウデコード回路内素子数が3個と多いため、メモリセルアレイの片側だけではロウデコード回路が収まらないからである。

【0042】次に、図7、図8及び図9のタイミングチャートを参照して、図1に示されたロウデコードを用いて実現されるメモリセルデータ読出し動作、書込み動作及び消去動作のそれぞれについて説明する。

【0043】最初に、図7のタイミングチャートを参照して、メモリセルデータ読出し動作タイミングを説明する。但し、図7中のセルpウェルノードは、メモリセルが構成されているウェル（若しくは基板）電位を表している。30

【0044】読出し動作が始まると、まずロウデコード起動信号RDECDがVccとなる。すると、ロウアドレスにより選択されたブロック内ではノードS1がVccとなるため、この選択されたブロックに対応するロウデコードが活性状態となる。つまり、ノードN1、N2R、N2Lが、それぞれVcc、0V、0Vとなり、ロウデコードが選択状態となる。40

【0045】次に、ビット線が0VからVccまでプリチャージされた後、CGDi（Control Gate Drain）（i=1, 2, 4~8）、SGD（Select Gate Drain）、SGS（Select Gate Source）がVccまで充電されることにより、選択ブロック内のCG(i)（i=1, 2, 4~8）、SG（Select Gate）（1）、SG（2）がVccまで充電される。

【0046】続いて、チップ内部の高電圧発生回路18により、Vccより高い電圧が発生され、上記高電圧発生

回路18の電圧出力ノードVPPを介してVPPRW、CGDi（i=1, 2, 4~8）、SGD、SGSや選択ブロック内のノードN1、CG(i)（i=1, 2, 4~8）、SG（1）、SG（2）等が、VccからV_H（但し、V_HはVccより高い電圧、例えばVcc3Vに対して4~5V）まで充電される。この状態がしばらく保持される。

【0047】この時には、選択されたメモリセル（制御ゲートCG（3）に接続されたメモリセル）の閾値電圧が正であれば、対応するNANDセルにはセル電流が流れず、ビット線電位は低下せず、ビット線は“H”レベル電位にある。また、選択されたメモリセルの閾値電圧が負であれば、対応するNANDセルにはセル電流が流れ、ビット線電位が“L（ロー）”レベル電位まで低下する。

【0048】続いて、CGDi（i=1, 2, 4~8）、SGD、SGSや選択ブロック内のCG(i)（i=1, 2, 4~8）、SG（1）、SG（2）が0Vとなった後、ビット線電位をセンスして（図7中のT₁₁の部分）、メモリセルデータの判定が行われる。

【0049】次いで、高電圧発生回路18によるV_H電位発生が停止されると共に、V_H電位にある各ノードがVcc電位に設定される。最後に、ロウデコード起動信号RDECDが0Vにされることにより、ロウデコードが非活性状態にされて、メモリセルデータ読出し動作が終了する。

【0050】次に、図8のタイミングチャートを参照して、図1に示されたロウデコードを用いて実現されるメモリセルへのデータ書込み動作を説明する。但し、図8中のセルpウェルノードは、メモリセルが構成されているウェル（若しくは基板）電位を表す。以下に、図8の動作タイミングの説明を行う。

【0051】書込み動作が始まると、まずロウデコード起動信号RDECDがVccとなる。すると、ロウアドレスにより選択されたブロック内では、ノードS1がVccとなるため、この選択されたブロックに対応するロウデコードが活性状態となる。つまり、ノードN1、N2R、N2Lが、それぞれVcc、0V、0Vとなり、ロウデコードが選択状態となる。

【0052】続いて、CGDi（i=1~8）、SGDがVccまで充電されることにより、選択ブロック内のCG(i)（i=1~8）、SG（1）がVccまで充電される。この時には、“0”データ書込みのメモリセル（メモリセルの閾値電圧を書込み動作前の状態から変動させないメモリセル）に接続されたビット線も、Vcc電位まで充電される。

【0053】次いで、チップ内部の高電圧発生回路18によりVccより高い電圧が発生され、上記高電圧発生回路18の電圧出力ノードVPPを介して、VPPRW、選択ブロック内のノードN1、非選択ブロック内のノー

ドN2R及びN2Lが、それぞれ V_{cc} から20V（但し、20Vは V_{cc} より高い電圧）まで充電される。同様に、チップ内部の中間電圧発生回路19により V_{cc} より高い電圧が発生される。そして、上記中間電圧発生回路19の電圧出力ノードVMを介して、CGDi ($i = 1, 2, 4 \sim 8$)、SGDや選択ブロック内のCG(i) ($i = 1, 2, 4 \sim 8$)、SG(1)が、 V_{cc} から10V（但し、10Vは V_{cc} より高い電圧）まで充電される。

【0054】次に、CGD3が V_{cc} から20Vまで充電されることにより、選択ブロック内のCG(3)が20Vまで充電される。この状態がしばらく保持されて、選択されたメモリセルへのデータ書込みが行われる。

【0055】その後、CGDi ($i = 1 \sim 8$)、SGDが0Vまで放電されることにより、選択ブロック内のCG(i) ($i = 1 \sim 8$)、SG(1)が0Vまで放電される。続いて、“0”データ書込みのメモリセル（メモリセルの閾値電圧を書込み動作前の状態から変動させないメモリセル）に接続されたビット線が、0Vに放電される。また、高電圧発生回路18や中間電圧発生回路19による V_{cc} より高い電圧の発生を止めると共に、20Vや10Vにあるノードを V_{cc} 電位にする。

【0056】最後に、ロウデコーダ起動信号RDECDが0Vにされることにより、ロウデコーダが非活性状態にされて、メモリセルへのデータ書込み動作が終了する。

【0057】次に、図9のタイミングチャートを参照して、図1に示されたロウデコーダを用いて実現されるメモリセルへのデータ消去動作について説明する。但し、図9中のセルpウェルノードは、メモリセルが構成されているウェル（若しくは基板）電位を表す。以下に、図9の動作タイミングの説明を行う。

【0058】消去動作が始まると、まず、ロウデコーダ起動信号RDECDが V_{cc} となる。すると、ロウアドレスにより選択されたブロック内では、ノードS1が V_{cc} となる。このため、この選択されたブロックに対応するロウデコーダが、活性状態となる。つまり、ノードN1、N2R、N2Lが、それぞれ V_{cc} 、0V、0Vとなり、ロウデコーダが選択状態となる。

【0059】続いて、SGD、SGS、SGDSが V_{cc} まで充電されることにより、選択ブロック内のSG(1)、SG(2)が V_{cc} まで充電されると共に、非選択ブロック内のSG(1)、SG(2)が V_{cc} に、非選択ブロック中のCG(i) ($i = 1 \sim 8$)が($V_{cc} - V_{thn}$)に充電される（但し、 V_{thn} はSGDSノードとCG(i) ($i = 1 \sim 8$)の間のnチャネルトランジスタの閾値電圧）。また、メモリセルが構成されているウェル（若しくは基板）であるセルpウェルや、メモリセルアレイ内ソース線セル・ソース、ビット線が、 V_{cc} 電位に充電される。

【0060】次いで、チップ内部の高電圧発生回路18により、 V_{cc} より高い電圧が発生される。そして、上記高電圧発生回路18の電圧出力ノードVPPを介して、VPPRW、SGD、SGDS、セルpウェル、セル・ソース、ビット線、選択ブロック内のノードN1、SG(1)、SG(2)、非選択ブロック内のノードN2R、N2L、SG(1)、SG(2)が、それぞれ V_{cc} から20V（但し、20Vは V_{cc} より高い電圧）まで充電され、非選択ブロック内CG(i) ($i = 1 \sim 8$)が V_{cc} から($20V - V_{thn}$)まで充電される。この状態がしばらく保持されて、選択ブロック内のメモリセルのデータ消去が行われる。

【0061】その後、SGD、SGS、SGDS、セルpウェル、セル・ソース、ビット線が、20Vから V_{cc} 電位程度まで低下することにより、選択ブロック内SG(1)、SG(2)や非選択ブロック内CG(i) ($i = 1 \sim 8$)、SG(1)、SG(2)が、 V_{cc} 電位程度まで低下する。

【0062】続いて、高電圧発生回路18による V_{cc} より高い電圧の発生を止めると共に、20Vにあるノードが V_{cc} 電位にされる。また、SGD、SGS、SGDS、セルpウェル、セル・ソース、ビット線が0Vまで放電されることにより、選択ブロック内SG(1)、SG(2)や非選択ブロック内CG(i) ($i = 1 \sim 8$)、SG(1)、SG(2)が0Vまで放電される。

【0063】最後に、ロウデコーダ起動信号RDECDが0Vにされることにより、ロウデコーダが非活性状態にされて、データ消去動作が終了する。

【0064】図10は、図1に示されたロウデコーダの回路構成及びメモリセルアレイの等価回路の変形例を示したものである。

【0065】図10に示されるロウデコーダ35b'の回路構成は、セルアレイ36中のSG(2)の電位設定用部分の回路構成のみが、図1のロウデコーダ35bの回路構成と異なっている。

【0066】図10のロウデコーダ35a、35b'を用いた場合には、図1のロウデコーダ35a、35bを用いた場合に比べて、番込み動作時、消去動作時に於ける各ノードの電位は全く同じとなり、それぞれ図8及び図9に示されたようになる。そして、読出し動作時に於いてのみ、図1のロウデコーダと図10のロウデコーダの間での動作が異なる。

【0067】図11は、図10に示されたロウデコーダ35a、35b'を用いた場合の読出し動作を説明するタイミングチャートである。図7のタイミングチャートと図11のタイミングチャートとは、非選択ブロック内のSG(2)の動作が異なるのみで、他の部分は全く同じ動作タイミングとなる。

【0068】次に、本実施の形態を用いた場合に従来例よりも優れている点について述べる。

【0069】図12は、上記実施の形態に係るNANDセルブロック及びロウデコーダの配列、及び読出し動作時に於けるノードN1の電位状態を示したものである。また、図13は、上記実施の形態に係るNANDセルブロック及びロウデコーダの配列、及び書込み、消去動作時に於けるノードN1の電位状態を示したものである。

【0070】また、従来のロウデコーダの回路構成を図21に、この図21のロウデコーダを用いた場合の読出し動作時、書込み動作時、消去動作時に於ける従来の動作タイミングチャートを図22、図23及び図24に示す。更に、従来例に係るNANDセルブロック及びロウデコーダの配列、及び読出し動作時に於けるノードN1、ノードN2の電位状態を図25に、従来例に係るNANDセルブロック及びロウデコーダの配列、及び書込み、消去動作時に於けるノードN1、ノードN2の電位状態を図26に示す。

【0071】従来のロウデコーダでは、メモリセルアレイの左右両端にある回路を接続する配線、つまりメモリセルアレイを横断する配線の数が2本となり、ノードN2がメモリセルアレイ左右の回路で共通となっている。これに対し、図1、図10に於いては、上記接続する配線は、ノードN2R、ノードN2Lに分割されている。

【0072】そして、図21に示される従来のロウデコーダを用いた場合には、読出し、書込み、消去の各動作は、図1及び図10の構成の回路の各動作に比べて、動作所要時間が長くなる。これは、図7 (T_{11})、図8 (T_{12})、図9 (T_{13})の部分の所要時間に比べて、それぞれ図22 (T_1)、図23 (T_2)、図24 (T_3)の所要時間がずっと長くなるためである。この理由について、以下、図12、図13、図25、図26を用いて説明する。

【0073】図21に示される従来のロウデコーダ5a、5bを用いた場合には、メモリセルアレイ6を横断する配線数は2本である。この2本の横断配線N1、N2のうちの一方は0V、他方は“H”レベル電位 (V_H や20V等の電位)にある(図25、図26参照)ため、1つのNANDセルブロック中に1本の“H”レベル電位にあるメモリセルアレイの横断配線が存在する。したがって、NANDセルブロック数と同じ数だけメモリセルアレイの横断配線を“H”レベル電位に充電させなければならない。

【0074】ところが、通常、NANDセルブロック数は数百個~数千個あるため、“H”レベル電位の負荷容量は大変大きい値となる。特に、“H”レベル電位が V_{cc} より高い電圧であり、且つこの“H”レベル電圧がチップ内部で発生される電圧である場合には、“H”レベル電位の供給能力が電源電圧の供給能力に対してずっと小さいため、数百個~数千個の上記メモリセルアレイの横断配線の充電所要時間は、大変長いものとなる。また、上記充電所要時間を短縮するために高電圧の供給能

力を増加させようとする、高電圧発生回路のパターン面積を大幅に増加させねばならず、従ってチップ面積が大幅に増加するという問題があった。

【0075】一方、図1や図10に示される回路構成のロウデコーダを用いた場合には、メモリセルアレイ36を横断する配線数は1本である。このメモリセルアレイ36の横断配線N1の電位が、選択ブロック内では“H”レベル電位 (V_H や20V等の電位)に、そして非選択ブロック内では0V電位にある(図12、図13参照)ため、“H”レベル電位にあるメモリセルアレイ横断配線の数は、選択ブロック数と同数になる。

【0076】選択ブロック数は、読出し動作時及び書込み動作時には、通常1個である。そのため、“H”レベル電位にあるメモリセルアレイの横断配線は1本だけとなり、“H”レベル電位の負荷容量は、図21に示された従来のロウデコーダを用いた場合に比べて、ずっと小さくなる。

【0077】そして、“H”レベル電位が V_{cc} より高い電圧であり、且つこの“H”レベル電圧がチップ内部で発生される電圧である場合に於いても、“H”レベル電圧の供給能力が電源電圧に対してずっと小さいにもかかわらず、“H”レベル電位の負荷容量があまり大きくないため、“H”レベル電位充電所要時間はあまり長くない。これは、例えば、図7の T_{11} 、図8の T_{12} が、それぞれ図22の T_1 、図23の T_2 に対して大幅に短いことに相当する。したがって、読出し動作、書込み動作の所要時間は、図21の従来のロウデコーダを用いた場合に比べて、大幅に短縮することができる。

【0078】また、消去動作時に於いては、選択ブロック数は通常1個とは限らず、複数個ある場合もある。消去動作時に高電圧が充電されるメモリセルアレイの横断配線数は、選択ブロック数と同じである。したがって、選択ブロック数が少ないほど高電圧の負荷容量が小さくなり、高電圧充電所要時間すなわち消去動作所要時間を短縮することができる。

【0079】実際には、選択ブロック数がNANDセルブロック数に比べて十分少ない場合には、“H”レベル電位にあるメモリセルアレイの横断配線がNANDセルブロック数に比べて十分少ない。そのため、図21のロウデコーダを用いた場合に比べて、“H”レベル電位の負荷容量を大幅に減少、すなわち“H”レベル電位充電所要時間の大幅な短縮を実現することができる。このことは、例えば、図9の T_{13} が図23の T_2 に対して大幅に短いことに相当している。

【0080】また、図1や図10に示されたような構成のロウデコーダを用いた場合には、図21に示される従来のロウデコーダ回路に比べ、第2相補信号発生部37の部分の素子2個分だけ素子数が増える。しかしながら、図1等に表示されているロウデコーダ中には、1個のNANDセルブロック当たり70個程度の素子が含まれ

ているので、素子数が2個程度増えてもパターン面積の増加量はロウデコーダ全体のパターン面積に対して非常に小さい。したがって、図21に示される従来のロウデコーダを用いて、図1の構成のロウデコーダを用いたときの動作速度と同等の動作速度を実現する場合に比べて、図1のロウデコーダを用いる場合の方がチップ面積の増加量はずっと小さくなる。

【0081】図14は、図1に示されたロウデコーダの回路構成及びメモリセルアレイの等価回路の更に他の変形例を示したものである。

【0082】図14に示された構成のロウデコーダと、図1に示され構成のロウデコーダの回路構成上の差異は、以下の通りである。

【0083】すなわち、図14に於いて、ノア回路33と電圧切換回路34の間に第3の相補信号発生部38が設けられている。更に、図1に於いてはCG(i) (i=1~8)がnチャネルトランジスタを介して接続しているノードがSGDSからとなっているのに対し、この図14では該ノードは0Vとなっている。

【0084】ここで、図14に於ける信号ERASEは、消去動作中には“H”レベル、消去動作時以外には“L”レベルとなる信号である。このため、読出し動作時と書き込み動作時では、図1のロウデコーダを用いた場合と図14のロウデコーダを用いた場合での差異はない。

【0085】次に、図14に示された構成のロウデコーダを用いた場合の読出し動作、書き込み動作及び消去動作について説明する。

【0086】図14に示された構成のロウデコーダ35a'、35b'を用いると、読出し動作タイミング、書き込み動作タイミングは、図1のロウデコーダ35a、35bを用いた場合と全く同じものが得られる。つまり、図14のロウデコーダ35a'、35b'を用いた場合の読出し動作タイミング、書き込み動作タイミングは、それぞれ図7、図8のタイミングチャートと同じものになる。同様に、読出し動作時、書き込み動作時それぞれに於けるメモリセルアレイ36の横断配線N1の電位状態は、図1のロウデコーダ35a、35bを用いた場合と図14のロウデコーダ35a'、35b'を用いた場合では同じとなる。

【0087】すなわち、図14のロウデコーダを用いた場合の読出し動作時、書き込み動作時に於けるメモリセルアレイ36の横断配線N1の電位状態は、それぞれ図12、図13に示した状態となる。したがって、図14に示された構成のロウデコーダを用いることにより、図1や図10に示された構成のロウデコーダを用いる場合と同様に、読出し動作高速化や書き込み動作高速化を実現することができる。

【0088】一方、消去動作時に於いては、図1の構成のロウデコーダを用いた場合と図14の構成のロウデ

ーダを用いた場合で、各部の電圧が異なる。

【0089】消去動作時には、信号ERASEが“H”レベルとなるため、ノードS1とノードS2の電圧レベルが同じになる。ここで、図1のロウデコーダに於ける全ての動作時、及び図14のロウデコーダに於ける消去動作以外の動作時には、ノードS1とノードS2の電圧レベルは異なる、つまり電圧レベルが反転状態にある。

【0090】図15は、図14に示された構成のロウデコーダを用いた場合の消去動作のタイミングを示したタイミングチャートである。

【0091】図9及び図15よりわかるように、消去動作中には、図1中のノードN1と図14中のノードN2R、ノードN2Lは同電位であり、また図1中のノードN2R、ノードN2Lと図14中のノードN1は同電位となっている。したがって、図14に示されたロウデコーダを用いた場合には、図16に示されるように、選択ブロック内のメモリセルアレイ36の横断配線の電位は0V、非選択ブロック内のメモリセルアレイ36の横断配線の電位は20Vとなる。

【0092】したがって、図14のロウデコーダを用いた場合には、高電圧を充電するメモリセルアレイ36の横断配線数は、

NANDセルブロック数-選択ブロック数

となる。つまり、図1のロウデコーダを用いた場合には、選択ブロック数が少などほど高電圧の負荷容量が小さくなるのに対し、図14のロウデコーダを用いた場合には、選択ブロック数が多いほど高電圧の負荷容量が小さくなる。

【0093】何れにしても、選択ブロック数によらずに、図14に示されたロウデコーダを用いた場合に於いても、図21に示された従来のロウデコーダを用いた場合に比べて、高電圧を充電する配線数が減少し、高電圧の負荷容量を低減することができる。つまり、高電圧充電所要時間を短縮でき、消去動作の高速化を実現することが可能となる。

【0094】また、図1、図10及び図14に示されたロウデコーダ中に於けるメモリセルアレイの横断配線の配線材としては、制御ゲート線や選択ゲート線として用いた配線材よりも抵抗率の低い配線材を用いることが望ましい。この理由について、以下に説明する。

【0095】メモリセルアレイの横断配線は、抵抗値を有しており、また容量としても配線そのものの容量値に加えてトランジスタのゲート容量が含まれる。したがって、図1、図10及び図14中のメモリセルアレイの横断配線N1の左側と右側で、信号伝達の遅延が生じてしまう。

【0096】この場合には、図1、図10及び図14中の制御ゲート線のうち、CG(1)、CG(3)、CG(5)、CG(7)の充電開始のタイミングが、CG(2)、CG(4)、CG(6)、CG(8)の充電開

始のタイミングより、メモリセルアレイ横断配線の左から右に信号が伝達する時の遅延時間の分だけ遅れることになる。この遅延時間が、制御ゲート線や選択ゲート線の充放電時の遅延時間に対して同程度以上の長さであれば、メモリセルアレイ横断配線の遅延時間が動作時間を大幅に長くする原因となり得る。

【0097】メモリセルアレイ横断配線の抵抗値を低減することにより、横断配線の遅延時間を短縮することができるので、上記横断配線の抵抗値は小さいほど望ましい。図3乃至図5に示されるように、メモリセルアレイ部分の制御ゲート線、選択ゲート線の配列より、制御ゲート線や選択ゲート線と同じ配線層を用いてメモリセルアレイ横断配線を作るとは困難であることがわかる。制御ゲート線と同じ配線層の配線を新たに加える隙間がないことは、図面から明らかである。

【0098】したがって、メモリセルアレイ横断配線の配線材は、制御ゲート線、選択ゲート線と異なる配線層となる。故に、メモリセルアレイ横断配線の配線材の抵抗率を、制御ゲート線、選択ゲート線の配線材の抵抗率より小さくすることは、それほど困難ではない。つまり、抵抗率の低い配線材を用いることにより、上記横断配線の抵抗値の低減化、更に遅延時間の短縮が実現可能である。

【0099】しかしながら、上記横断配線の配線材の抵抗率が制御ゲート線、選択ゲート線と同程度以下の場合であっても、図1、図10及び図14に示された構成のロウデコーダを用いることにより、従来より動作の高速化を実現できることは言うまでもない。

【0100】以上、本発明を実施の形態を用いて説明したが、本発明は上述した実施の形態に限定されるものではなく種々変更可能である。

【0101】例えば、図1、図10及び図14に示された構成のロウデコーダ回路に於ける第2相補信号発生部37は、図17に示される構成の回路37'、37"に代えて用いる場合も本発明は有効である。

【0102】尚、上述した実施の形態に於いては、NANDセルとして8個のメモリセルをビット線コンタクトとソース線の間に直列接続した場合を例にとって説明したが、直列接続するメモリセルアレイの数は8個ではなく、例えば2、4、16、32、64個等の場合に於いても、同様に本発明は適用可能である。

【0103】また、上記実施の形態に於いては、NANDセル型EEPROMを例にとって説明を行ったが、本発明は上記実施の形態に限られるものではなく、他のデバイス、例えばNORセル型EEPROM、DINORセル型EEPROM、ANDセル型EEPROM等に於いても、同様に適用可能である。

【0104】更に、不揮発性メモリ以外の、例えば、NAND構造若しくはカスケード構造をしたDRAM等に於いても、本発明は有効である。その他、本発明の要旨

を逸脱しない範囲で種々変形して実施することができ

る。
【0105】図18は、一般的なNORセル型EEPROMに於けるメモリセルアレイの等価回路図である。また、図19は、DINORセル型EEPROMに於けるメモリセルアレイの等価回路図を示したものである。このDINORセル型EEPROMは、“H. Onoda et al., IEDM Tech. Digest, 1992, pp. 599-602”に詳細が記されているので説明は省略する。

【0106】更に、図20は、ANDセル型EEPROMに於けるメモリセルアレイの等価回路図を示したものである。このANDセル型EEPROMの詳細に関しては、“H. Kume et al., IEDM Tech. Digest, 1992, pp. 991-993”に記されているので、説明は省略する。

【0107】以上、実施の形態を用いて本発明の説明を行ったが、本発明はその他、その要旨を逸脱しない範囲で種々変更可能である。

【0108】

【発明の効果】以上説明したように本発明によれば、メモリセルアレイの左右両側にロウデコーダ回路を備えたデバイスに於いて、左右のロウデコーダに接続されメモリセルアレイを横断する配線をセルブロック1個当たり1本にすることができるので、高電圧を充電する配線数を減少させることができる。したがって、チップ面積をほとんど増大させることなく、データ読出し、書込み、消去の各動作時にチップ内部で発生する高電圧の負荷容量を低減させることができ、データ読出し、書込み、消去の各動作速度の高速化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るNANDセル型EEPROMシステムのロウデコーダの回路構成及びメモリセルアレイの等価回路図である。

【図2】本発明の一実施形態に係るNANDセル型EEPROMシステムの概略構成を示すブロック図である。

【図3】(a)及び(b)は図2のメモリセルアレイ11の1つのNANDセル部分の平面図及びその等価回路図である。

【図4】(a)及び(b)はそれぞれ図3(a)のI-I'線及びII-II'線に沿った断面図である。

【図5】図2のメモリセルアレイ11の1つのNANDセル部分の他の例を示す断面図である。

【図6】NANDセルがマトリックス配列されたメモリセルアレイの等価回路図である。

【図7】本発明の一実施の形態に係るデータ読出し動作タイミングを説明するタイミングチャートである。

【図8】本発明の一実施の形態に係るデータ書込み動作タイミングを説明するタイミングチャートである。

【図9】本発明の一実施の形態に係るデータ消去動作タ

17

イミングを説明するタイミングチャートである。

【図10】図1に示されたロウデコーダの回路構成及びメモリセルアレイの等価回路の変形例を示した図である。

【図11】図10に示されたロウデコーダ35a、35b'を用いた場合の読出し動作タイミングを説明するタイミングチャートである。

【図12】本発明の一実施の形態に係るNANDセルブロック、ロウデコーダ、メモリセルアレイ横断配線の配列及びデータ読出し動作時に於けるメモリセルアレイ横断配線の電位を示した図である。

【図13】本発明の一実施の形態に係るNANDセルブロック、ロウデコーダ、メモリセルアレイ横断配線の配列及びデータ書き込み、消去動作時に於けるメモリセルアレイ横断配線の電位を示した図である。

【図14】図1に示されたロウデコーダの回路構成及びメモリセルアレイの等価回路の更に他の変形例を示した図である。

【図15】図14に示された構成のロウデコーダを用いた場合の消去動作のタイミングを示したタイミングチャートである。

【図16】図14に示された構成のロウデコーダを用いた場合のNANDセルブロック、ロウデコーダ、メモリセルアレイ横断配線の配列及びデータ消去動作時に於けるメモリセルアレイ横断配線の電位状態を示した図である。

【図17】図1、図10及び図14に示された構成のロウデコーダ回路に於ける第2相補信号発生部37'の他の構成例を示した図である。

【図18】一般的なNORセル型EEPROMに於けるメモリセルアレイの等価回路図である。

【図19】DINORセル型EEPROMに於けるメモリセルアレイの等価回路図を示した図である。

【図20】ANDセル型EEPROMに於けるメモリセル

18

* ルアレイの等価回路図である。

【図21】NANDセル型EEPROMの従来のロウデコーダの回路構成及びメモリセルアレイの等価回路図である。

【図22】図21に示されるロウデコーダ5a、5bを用いた場合のデータ読出し動作のタイミング図である。

【図23】図21に示されるロウデコーダ5a、5bを用いた場合のデータ書き込み動作のタイミング図である。

【図24】図21に示されるロウデコーダ5a、5bを用いた場合のデータ消去動作のタイミング図である。

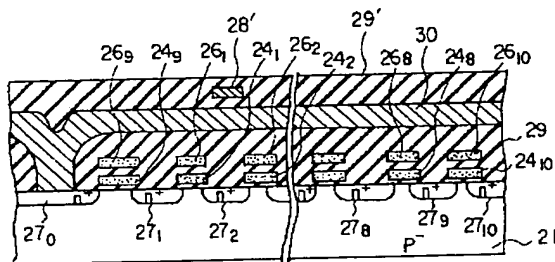
【図25】図21に示されたロウデコーダ5a、5bを用いた場合のNANDセルブロック、ロウデコーダ、メモリセルアレイの横断配線の配列及びメモリセルアレイ横断配線の読出し動作時の電位状態を示した図である。

【図26】図21に示されたロウデコーダ5a、5bを用いた場合のNANDセルブロック、ロウデコーダ、メモリセルアレイ横断配線の配列及びメモリセルアレイ横断配線の書き込み、消去動作時の電位状態を示した図である。

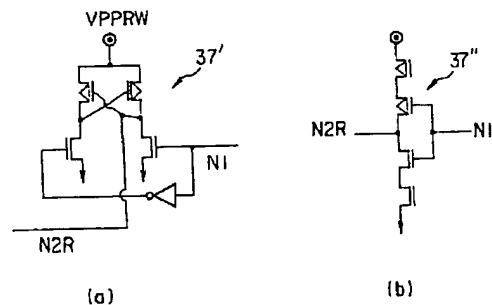
【符号の説明】

6、11…メモリセルアレイ、12…ビット線制御回路、13…データ入出力バッファ、14…アドレスバッファ、15…カラムデコーダ、16…ロウデコーダ、17…基板電位制御回路、18…高電圧発生回路、19…中間電圧発生回路、21…p型シリコン基板(p型ウェル)、22…素子分離酸化膜、23…ゲート絶縁膜、24(24₁、24₂、…、24_n)…浮遊ゲート、24₀、24₁₀、26₁、26₁₀…選択ゲート、25…層間絶縁膜、26(26₁、26₂、…、26_n)…制御ゲート、27(27₀、27₁、…、27₁₀)…n型拡散層、28…横断配線、29、29'…CVD酸化膜、30…ビット線、35a、35a'、35b、35b'、35b''…ロウデコーダ。

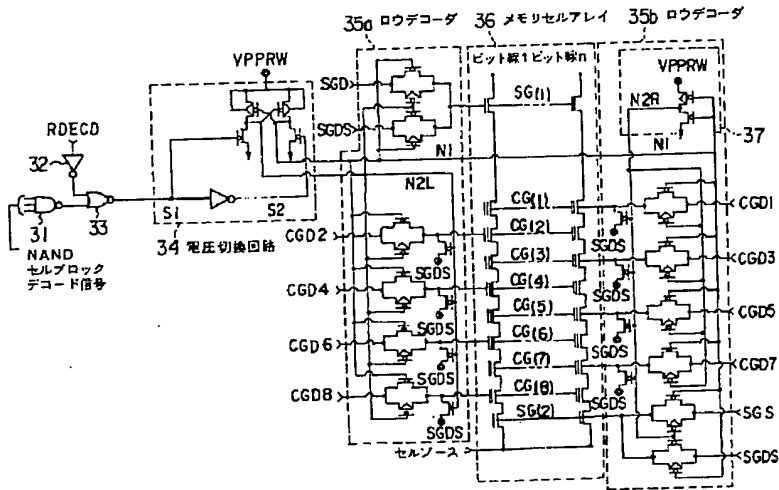
【図5】



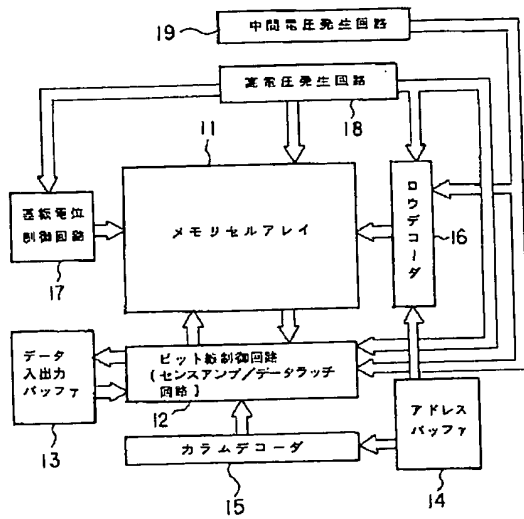
【図17】



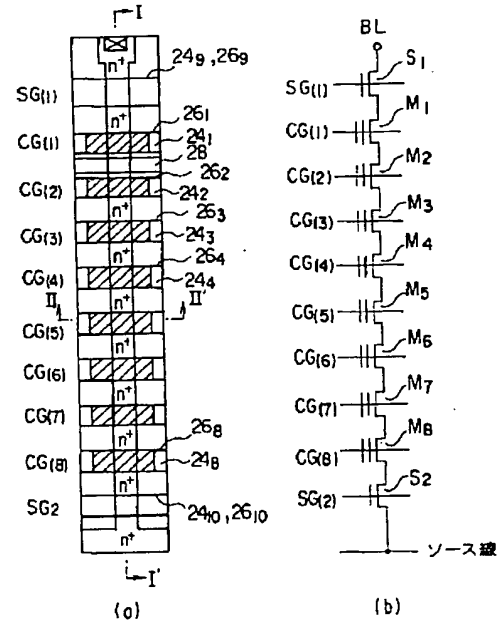
【図1】



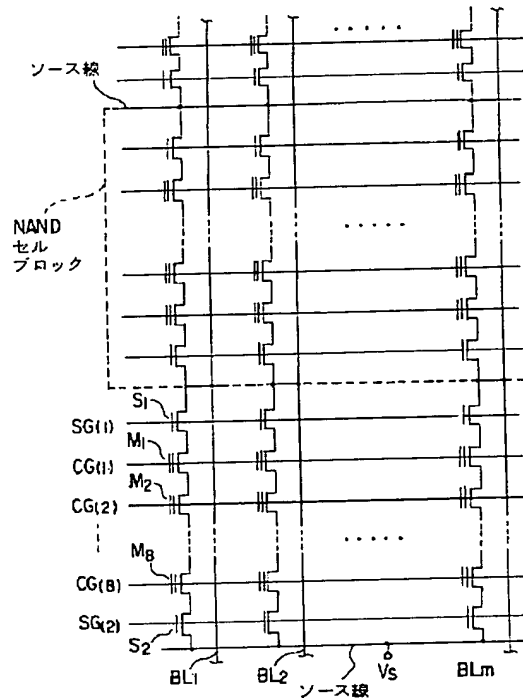
【図2】



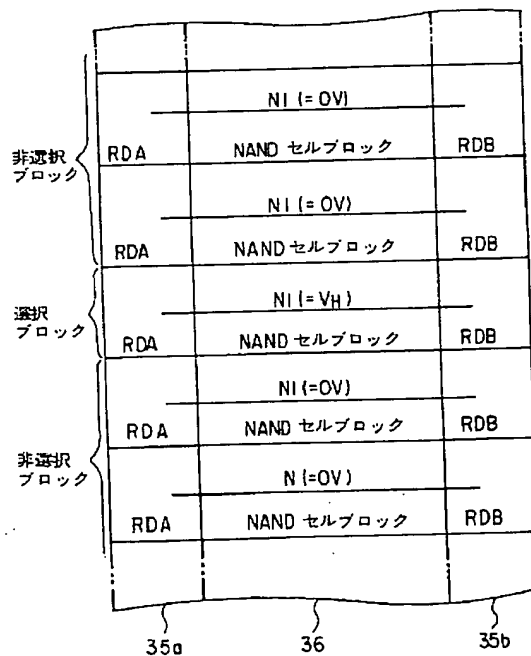
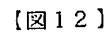
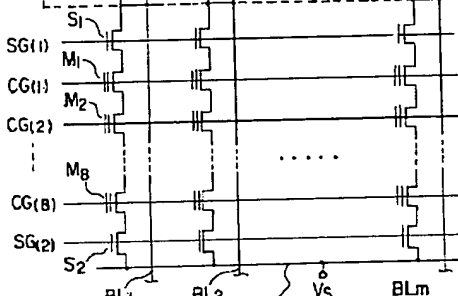
【図3】



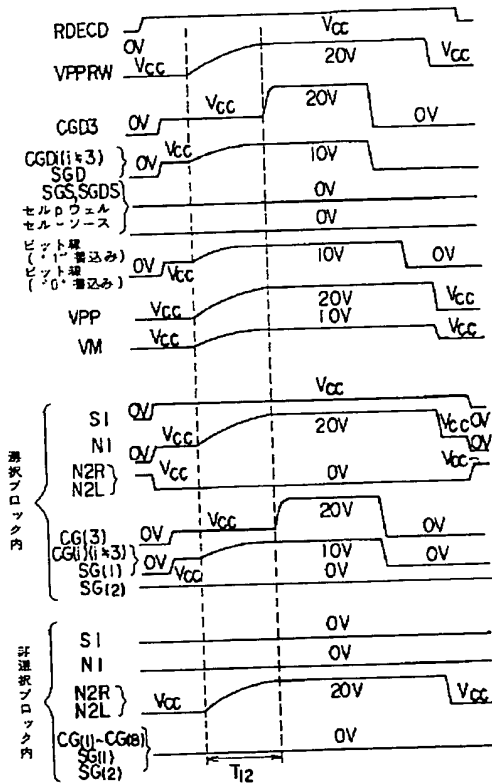
【図 6】



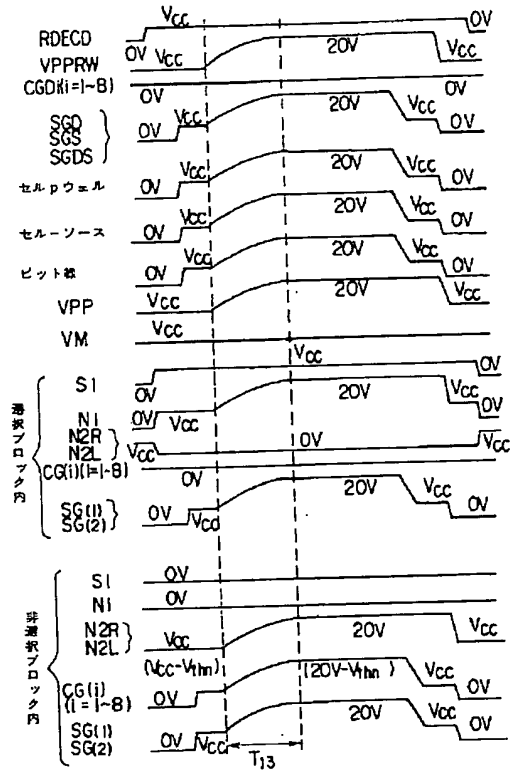
NAND
セル
ブロック



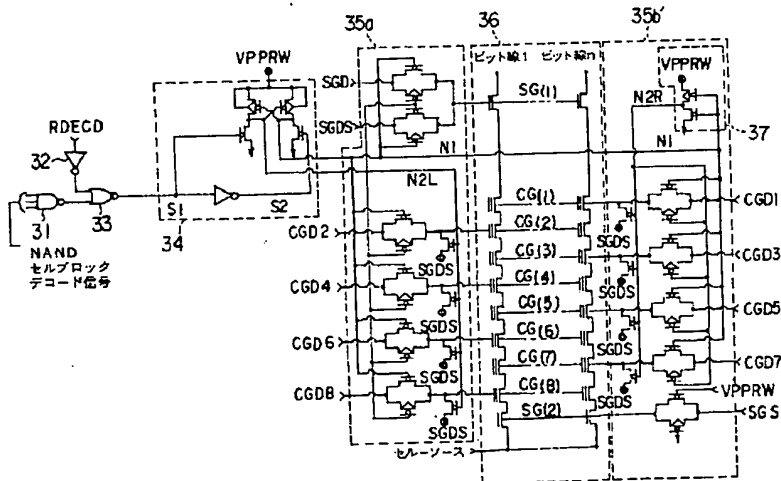
【図8】



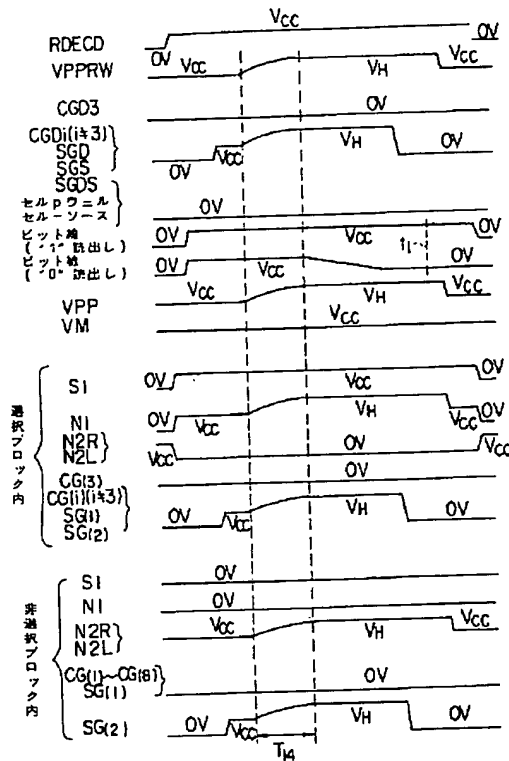
【図9】



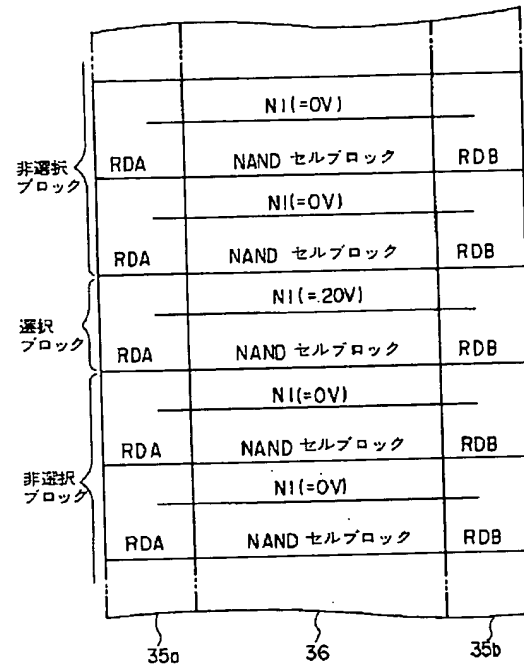
【図10】



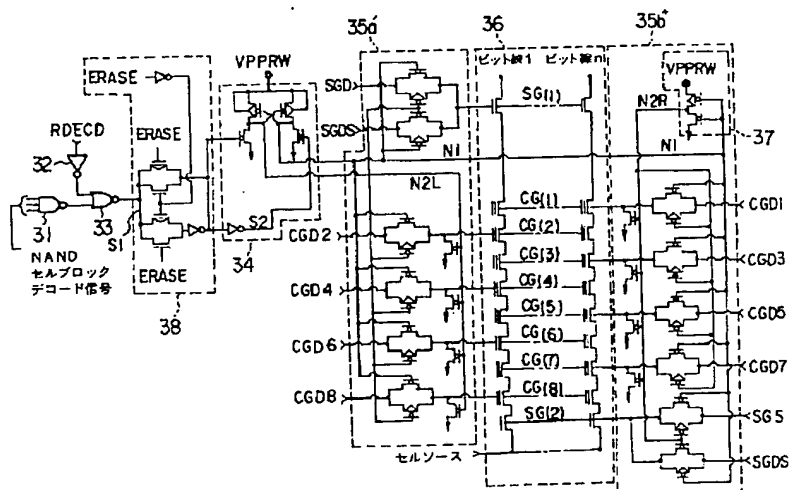
【図11】



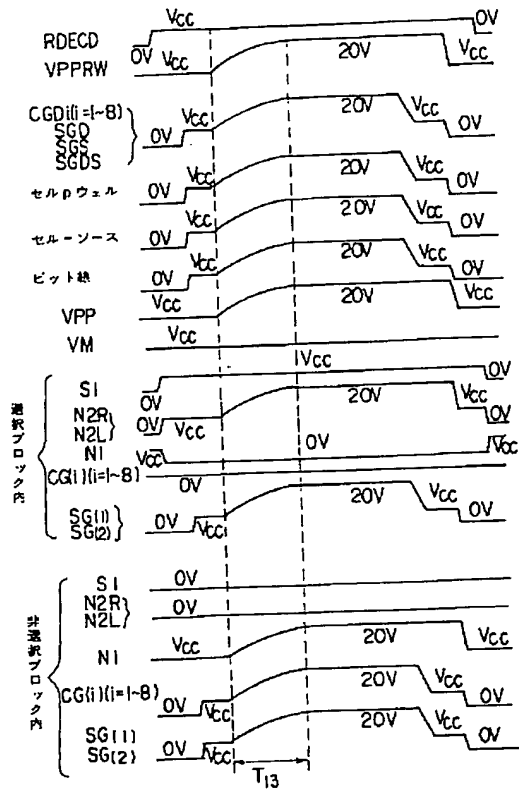
【図13】



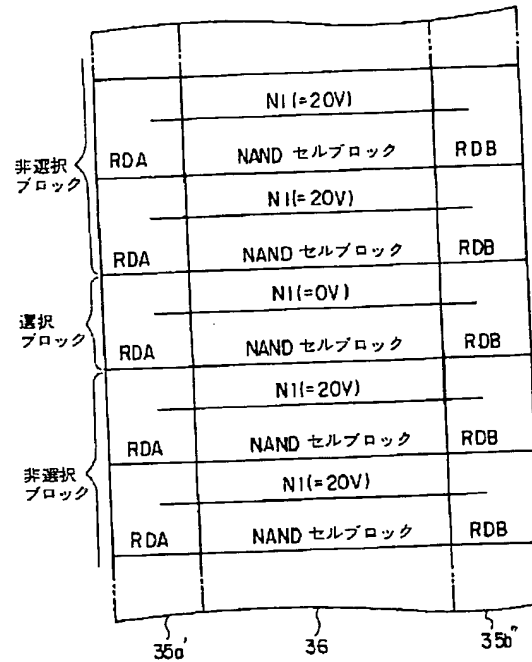
【図14】



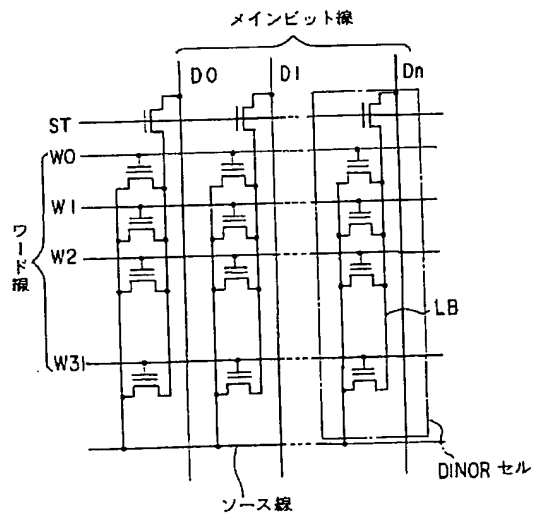
【図15】



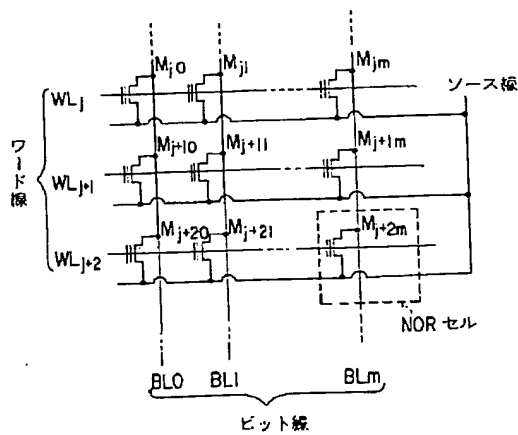
【図16】



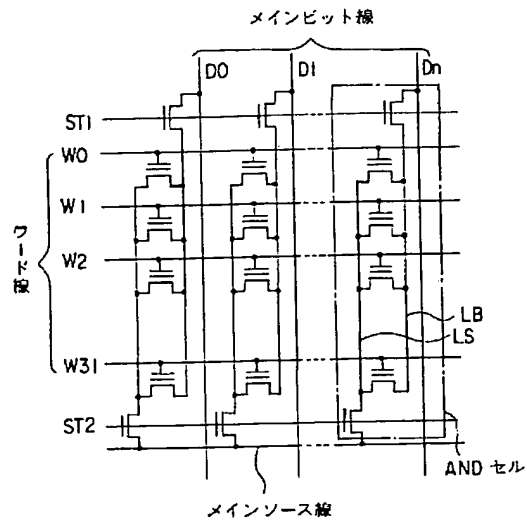
【図19】



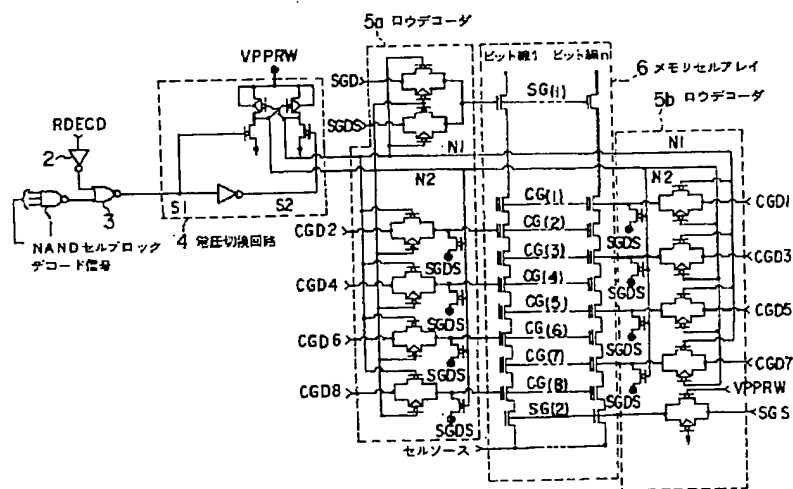
【図18】



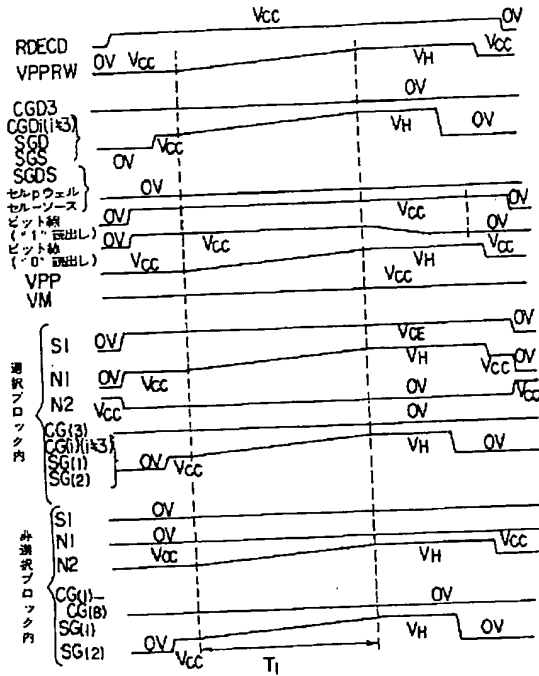
【図20】



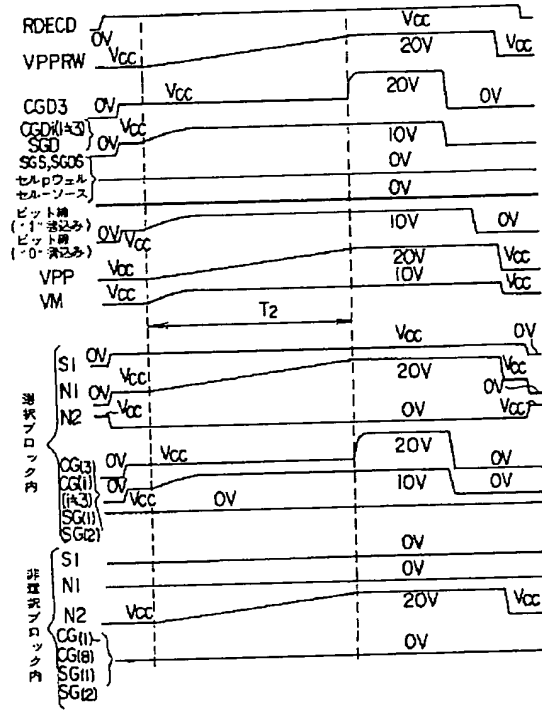
【図21】



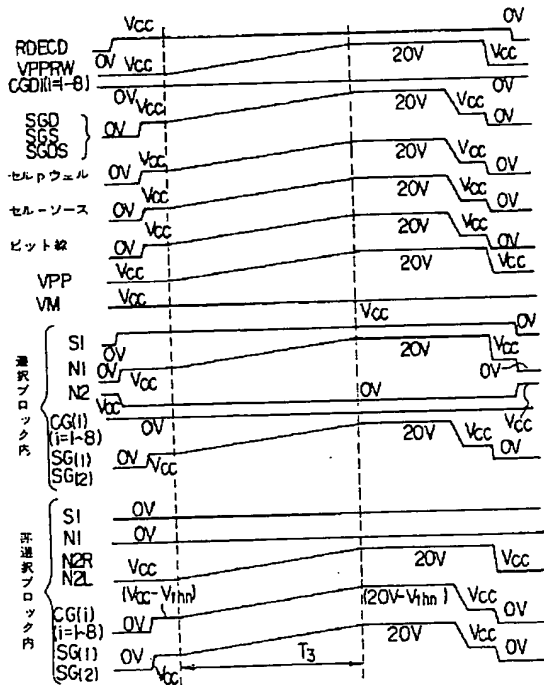
【図22】



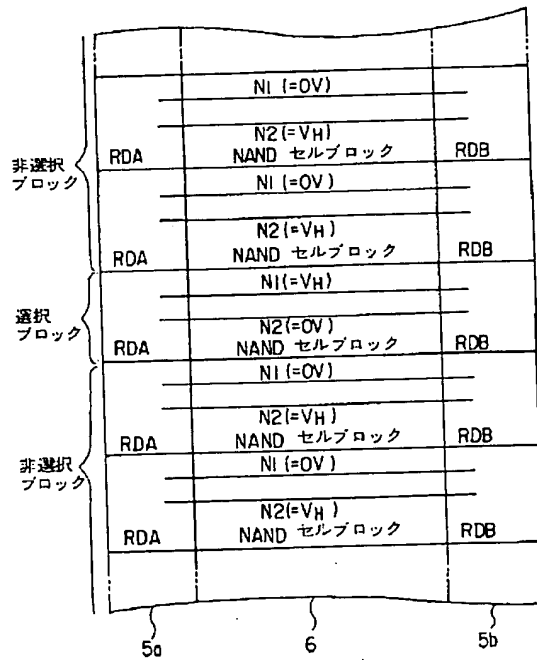
【図23】



【図24】



【図25】



【図26】

